

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-74191

(43)公開日 平成9年(1997)3月18日

(51)Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 29/78		9055-4M	H 01 L 29/78	6 5 3 B
29/94			29/94	
		9055-4M	29/78	6 5 2 T
		9055-4M		6 5 3 C

審査請求 未請求 請求項の数9 ○L (全9頁)

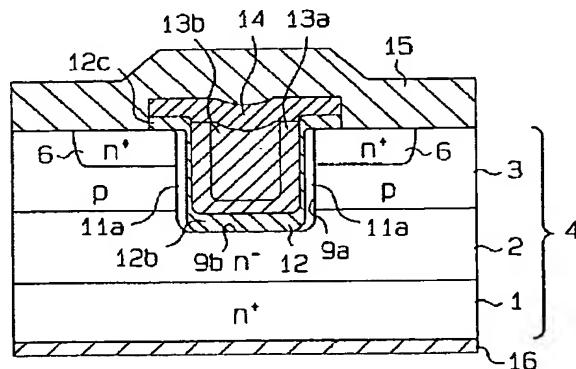
(21)出願番号	特願平7-229485	(71)出願人	000004260 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地
(22)出願日	平成7年(1995)9月6日	(71)出願人	000003609 株式会社豊田中央研究所 愛知県愛知郡長久手町大字長湫字横道41番 地の1
		(72)発明者	原一都 愛知県刈谷市昭和町1丁目1番地 日本電 装 株式会社内
		(74)代理人	弁理士 恩田 博宣
			最終頁に続く

(54)【発明の名称】炭化珪素半導体装置の製造方法

(57)【要約】

【課題】高耐圧、低オン抵抗でかつ閾値電圧を小さくでき、さらに、チャネル形成面にイオンダメージや凹凸を低減することでMOS界面特性を改善しスイッチング特性に優れた炭化珪素半導体装置の製造方法を提供する。

【解決手段】n<sup>+</sup>型単結晶SiC基板1とn型エピタキシャル層2とp型エピタキシャル層3とを順次積層して半導体基板4を形成し、p型エピタキシャル層3の表層部の所定領域にn<sup>+</sup>ソース領域6を形成し、n<sup>+</sup>ソース領域6とp型エピタキシャル層3を貫通しn型エピタキシャル層2に達する溝9を形成し、溝9の内壁にエピタキシャル層11を形成し、エピタキシャル層11の表面にゲート酸化膜12を形成し、ゲート熱酸化膜12の表面にポリシリコン層13a, 13bを形成し、領域3, 6の表面にソース電極膜15を形成するとともに、n<sup>+</sup>型単結晶SiC基板1の表面にドレイン電極膜16を形成する。



1

## 【特許請求の範囲】

【請求項1】 第1導電型の低抵抗半導体層と第1導電型の高抵抗半導体層と第2導電型の第1の半導体層とを順に積層して単結晶炭化珪素よりなる半導体基板を形成するとともに、前記第1の半導体層内の表層部の所定領域に第1導電型の半導体領域を形成する第1工程と、前記半導体領域と前記第1の半導体層を貫通し前記高抵抗半導体層に達する溝を形成する第2工程と、前記溝の内壁における少なくとも側面に、単結晶炭化珪素よりなる第2の半導体層を形成する第3工程と、前記溝内における前記第2の半導体層の表面にゲート酸化膜を形成する第4工程と、前記溝内における前記ゲート酸化膜の表面にゲート電極膜を形成する第5工程と、前記第1の半導体層の表面と前記半導体領域の表面のうちの少なくとも前記半導体領域の表面に第1の電極を形成するとともに、前記低抵抗半導体層の表面に第2の電極を形成する第6工程とを備えたことを特徴とする炭化珪素半導体装置の製造方法。

【請求項2】 前記半導体基板を構成する炭化珪素が六方晶系であり、かつ表面の面方位が略(0001)カーボン面であることを特徴とする請求項1に記載の炭化珪素半導体装置の製造方法。

【請求項3】 前記第3工程は、前記第1の半導体層および半導体領域の表面と前記溝の側面および底面に第2の半導体層を形成するものであり、その後に、前記溝の側面における前記第2の半導体層に比べ前記第1の半導体層および半導体領域の表面と前記溝の底面における前記第2の半導体層を厚く熱酸化して前記溝の側面にのみ前記第2の半導体層を残す工程を含むことを特徴とする請求項1又は2に記載の炭化珪素半導体装置の製造方法。

【請求項4】 前記第3工程は、前記第2の半導体層をエピタキシャル成長法により形成することを特徴とする請求項1～3のいずれか1項に記載の炭化珪素半導体装置の製造方法。

【請求項5】 前記第1工程は、前記半導体領域をエピタキシャル成長法にて形成することを特徴とする請求項1～4のいずれか1項に記載の炭化珪素半導体装置の製造方法。

【請求項6】 前記第2工程は、前記溝の内壁における底面に比べ側面が薄い酸化膜を形成および除去する工程を含むことを特徴とする請求項1～4のいずれか1項に記載の炭化珪素半導体装置の製造方法。

【請求項7】 前記第2工程は、ドライエッチングにより前記溝を形成するとともに、溝の内壁における底面に比べ側面が薄い酸化膜を形成および除去する工程を含むことを特徴とする請求項1～4のいずれか1項に記載の炭化珪素半導体装置の製造方法。

【請求項8】 前記第3工程は、異方性エピタキシャル

2

成長法により前記溝の内壁において底面に比べ側面が厚い前記第2の半導体層を形成することを特徴とする請求項1～4のいずれか1項に記載の炭化珪素半導体装置の製造方法。

【請求項9】 前記第4工程は、異方性熱酸化法により前記溝の内壁における底面に比べ側面が薄い前記ゲート酸化膜を形成することを特徴とする請求項1～4のいずれか1項に記載の炭化珪素半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、炭化珪素半導体装置の製造方法に関するものであり、その用途としては例えば、絶縁ゲート型電界効果トランジスタ、とりわけ大電力用の縦型MOSFET等の製造方法に用いて好適である。

【0002】

【従来の技術】近年、電力用トランジスタとして炭化珪素単結晶材料を使用した縦型パワーMOSFETが提案されている。電力用トランジスタの損失を低減するためにはオン抵抗の低減が必要であり、効果的にオン抵抗低減が可能な素子構造として図11に示す溝ゲート型パワーMOSFET(例えば、特開平4-239778号公報)が提案されている。図11における溝ゲート型パワーMOSFETは炭化珪素の基板30上に第1半導体領域31が形成され、第1半導体領域31上に第2半導体領域32が形成され、さらに、第2半導体領域32の所定領域に第3半導体領域33が形成されている。又、第3半導体領域33と第2半導体領域32を貫通して第1半導体領域31に達する溝34が形成され、溝34内にはゲート絶縁膜35を介してゲート電極36が充填されている。ゲート電極36の上面には絶縁膜37が形成され、絶縁膜37上を含む第3半導体領域33上にはソース電極膜38が形成されている。又、基板30の表面にはドレン電極膜39が形成されている。

【0003】 製造の際には、前述の第1および第2半導体領域31、32を炭化珪素のエピタキシャル層で形成してそのエピタキシャル成長時に不純物を途中から導入して、第2半導体領域32の表層部に第3半導体領域33を形成するとともに、ソース電極膜38とコンタクトをとるための領域に不純物を導入して所定領域にのみ第3半導体領域33を配置する。そして、第2半導体領域32を貫いて第1半導体領域31に達するように溝34を掘り込み、溝34内にゲート電極36を嵌め込む。炭化珪素は不純物の熱拡散が困難であるが、このようにすることにより、第1および第2半導体領域31、32に対して後から不純物を拡散させずに第2半導体領域32を形成できる。

【0004】 又、ゲート電極36を溝34内に埋め込んだ構造とし、溝34の側面のゲート絶縁膜34に接する第2半導体領域32の部分をチャネル形成面としている。

50

る。さらに、炭化珪素の許容最大電界強度が高い特長を利用してその第1半導体領域31内の電界強度を高く設定することにより電界効果トランジスタの耐圧を向上するとともに、この電界強度の設定値に合わせて第1半導体領域31の厚さを最適化することにより電界効果トランジスタの順方向電圧の低減を可能にできるとしている。

#### 【0005】

【発明が解決しようとする課題】しかしながら、図11に示すような溝ゲート型パワーMOSFETを製造する場合、チャネル形成面の不純物濃度は第2半導体領域32の不純物濃度と同じ濃度となっていた。パワーMOSFETを設計する上で第2半導体領域32の不純物濃度と膜厚はソース・ドレイン間の耐圧を決定する上での主要な設計パラメータであり、一方チャネル形成面の不純物濃度はゲートの閾値電圧とチャネルでのドロップ電圧を決定する上での主要な設計パラメータである。パワーMOSFETを高耐圧、低オン抵抗でかつ閾値電圧を小さく設計するためには第2半導体領域32とチャネル形成面の不純物濃度を独立で制御できることがデバイス設計上重要であるが、チャネル形成面と第2半導体領域32のキャリア濃度を従来の方法では独立に制御できないという問題があった。

【0006】又、前述の溝34はドライエッチングにより形成される場合は、チャネル形成面にイオンエッチングによるダメージが生じMOS界面特性が劣化し、MOSスイッチング特性が劣化するという問題があった。

【0007】そこで、この発明の目的は、高耐圧、低オン抵抗でかつ閾値電圧を小さくでき、さらに、チャネル形成面にイオンダメージや凹凸を低減することでMOS界面特性を改善しスイッチング特性に優れた炭化珪素半導体装置の製造方法を提供することにある。

#### 【0008】

【課題を解決するための手段】請求項1に記載の発明は、第1導電型の低抵抗半導体層と第1導電型の高抵抗半導体層と第2導電型の第1の半導体層とを順に積層して単結晶炭化珪素よりなる半導体基板を形成するとともに、前記第1の半導体層内の表層部の所定領域に第1導電型の半導体領域を形成する第1工程と、前記半導体領域と前記第1の半導体層を貫通し前記高抵抗半導体層に達する溝を形成する第2工程と、前記溝の内壁における少なくとも側面に、単結晶炭化珪素よりなる第2の半導体層を形成する第3工程と、前記溝内における前記第2の半導体層の表面にゲート酸化膜を形成する第4工程と、前記溝内における前記ゲート酸化膜の表面にゲート電極膜を形成する第5工程と、前記第1の半導体層の表面と前記半導体領域の表面のうちの少なくとも前記半導体領域の表面に第1の電極を形成するとともに、前記低抵抗半導体層の表面に第2の電極を形成する第6工程とを備えた炭化珪素半導体装置の製造方法をその要旨とする。

る。

【0009】請求項2に記載の発明は、請求項1に記載の発明における前記半導体基板を構成する炭化珪素が六方晶系であり、かつ表面の面方位が略(0001)カーボン面である請求項1に記載の炭化珪素半導体装置の製造方法をその要旨とする。

【0010】請求項3に記載の発明は、請求項1又は2に記載の発明における前記第3工程は、前記第1の半導体層および半導体領域の表面と前記溝の側面および底面

10 に第2の半導体層を形成するものであり、その後に、前記溝の側面における前記第2の半導体層に比べ前記第1の半導体層および半導体領域の表面と前記溝の底面における前記第2の半導体層を厚く熱酸化して前記溝の側面にのみ前記第2の半導体層を残す工程を含む炭化珪素半導体装置の製造方法をその要旨とする。

【0011】請求項4に記載の発明は、請求項1～3のいずれか1項に記載の発明における前記第3工程は、前記第2の半導体層をエピタキシャル成長法により形成する炭化珪素半導体装置の製造方法をその要旨とする。

【0012】請求項5に記載の発明は、請求項1～4のいずれか1項に記載の発明における前記第1工程は、前記半導体領域をエピタキシャル成長法にて形成する炭化珪素半導体装置の製造方法をその要旨とする。

【0013】請求項6に記載の発明は、請求項1～4のいずれか1項に記載の発明における前記第2工程は、前記溝の内壁における底面に比べ側面が薄い酸化膜を形成および除去する工程を含む炭化珪素半導体装置の製造方法をその要旨とする。

【0014】請求項7に記載の発明は、請求項1～4の30 いずれか1項に記載の発明における前記第2工程は、ドライエッチングにより前記溝を形成するとともに、溝の内壁における底面に比べ側面が薄い酸化膜を形成および除去する工程を含む炭化珪素半導体装置の製造方法をその要旨とする。

【0015】請求項8に記載の発明は、請求項1～4のいずれか1項に記載の発明における前記第3工程は、異方性エピタキシャル成長法により前記溝の内壁において底面に比べ側面が厚い前記第2の半導体層を形成する炭化珪素半導体装置の製造方法をその要旨とする。

【0016】請求項9に記載の発明は、請求項1～4のいずれか1項に記載の発明における前記第4工程は、異方性熱酸化法により前記溝の内壁における底面に比べ側面が薄い前記ゲート酸化膜を形成する炭化珪素半導体装置の製造方法をその要旨とする。

(作用)請求項1に記載の発明によれば、第1工程により、第1導電型の低抵抗半導体層と第1導電型の高抵抗半導体層と第2導電型の第1の半導体層とを順に積層して単結晶炭化珪素よりなる半導体基板が形成されるとともに、第1の半導体層内の表層部の所定領域に第1導電型の半導体領域が形成される。そして、第2工程により

50

半導体領域と第1の半導体層を貫通し高抵抗半導体層に達する溝が形成され、第3工程により、溝の内壁における少なくとも側面に、単結晶炭化珪素よりなる第2の半導体層が形成される。さらに、第4工程により溝内における第2の半導体層の表面にゲート酸化膜が形成され、第5工程により溝内におけるゲート酸化膜の表面にゲート電極膜が形成される。第6工程により、第1の半導体層の表面と半導体領域の表面のうちの少なくとも半導体領域の表面に第1の電極が形成されるとともに、低抵抗半導体層の表面に第2の電極が形成される。

【0017】このように、第1工程における高抵抗半導体層および第1の半導体層の形成と、第3工程における第2の半導体層の形成とが、独立に行われる。よって、チャネルを形成する第2の半導体層の不純物濃度を、ソース・ドレイン間耐圧を設計するのに必要な高抵抗半導体層と第1の半導体層の不純物濃度に対して独立に設計でき任意な値とすることができます。その結果、チャネル移動度の不純物散乱を抑えることでチャネル部でのドロップ電圧を小さくし、かつ閾電圧が低い高耐圧低損失パワーMOSFETを得ることができる。

【0018】又、第3工程において溝内に第2の半導体層が形成されるので、この第2の半導体層においてはイオンダメージの無い半導体層が配置できる。よって、チャネル形成面にイオンダメージや凹凸を低減することでMOS界面特性が改善されスイッチング特性に優れた炭化珪素半導体装置が製造される。

【0019】請求項2に記載の発明によれば、請求項1に記載の発明の作用に加え、半導体基板を構成する炭化珪素が六方晶系であり、かつ表面の面方位が $\langle 000\bar{1} \rangle$ カーボン面となっており、他の面に対して化学反応性の高い面を表面としたので、プロセス温度を下げることが可能で、またプロセス時間を短くできる。

【0020】請求項3に記載の発明によれば、請求項1又は2に記載の発明の作用に加え、第3工程において、第1の半導体層および半導体領域の表面と溝の側面および底面に第2の半導体層が形成され、その後に、溝の側面における第2の半導体層に比べ第1の半導体層および半導体領域の表面と溝の底面における第2の半導体層が厚く熱酸化されて溝の側面にのみ第2の半導体層が残される。つまり、溝側面の酸化膜は薄く、基板表面、溝底面の酸化膜は厚くできる。このことは図9に示すように本発明者らの実験により明らかにされたSiC酸化異方性の発見に基づく。この異方酸化工程により第2の半導体層の除去を最小限に抑えて、基板表面と溝底面の不需要な第2の半導体層を取り除くことが可能となる。

【0021】請求項4に記載の発明によれば、請求項1～3のいずれか1項に記載の発明の作用に加え、第3工程において、第2の半導体層がエピタキシャル成長法により形成される。よって、溝の側面に一様に第2の半導体層を高品位に形成できる。この方法により得られた第

2の半導体層は移動度がその他の層の不純物の影響を受けず移動度が大きい。

【0022】請求項5に記載の発明によれば、請求項1～4のいずれか1項に記載の発明の作用に加え、第1工程において、半導体領域がエピタキシャル成長法にて形成される。よって、厚いソース領域を形成することができ、また低抵抗なソース領域をエピタキシャル成長法により形成することができる。

【0023】請求項6に記載の発明によれば、請求項1～4のいずれか1項に記載の発明の作用に加え、第2工程において、溝の内壁における底面に比べ側面が薄い酸化膜が形成および除去される。よって、局所異方性熱酸化法により相対的に薄い酸化膜が形成され、溝内壁にイオンダメージの無い溝を形成することで、この溝側面に形成する第2の半導体層を高品位に形成でき、この第2の半導体層に形成されるMOS界面は良好なものとなる。

【0024】請求項7に記載の発明によれば、請求項1～4のいずれか1項に記載の発明の作用に加え、第2工程において、ドライエッ칭により溝が形成されるとともに、溝の内壁における底面に比べ側面が薄い酸化膜が形成および除去される。よって、溝側面に形成する第2の半導体層を高品位に形成でき、この第2の半導体層に形成されるMOS界面は良好なものとなる。

【0025】請求項8に記載の発明によれば、請求項1～4のいずれか1項に記載の発明の作用に加え、第3工程は、異方性エピタキシャル成長法により溝の内壁において底面に比べ側面が厚い第2の半導体層が形成される。つまり、異方性エピタキシャル成長法により第2の半導体層を形成することで、溝側面にホモエピタキシャル成長でき、かつ溝側面のエピタキシャル層の厚さを基板表面及び溝底面のエピタキシャル層の厚さに対して10倍以上厚く成長できる。このことは図10に示すように本発明者らの実験により明らかにされた炭化珪素のエピタキシャル成長速度の発見に基づく。

【0026】請求項9に記載の発明によれば、請求項1～4のいずれか1項に記載の発明の作用に加え、第4工程において異方性熱酸化法により溝の内壁における底面に比べ側面が薄いゲート酸化膜が形成される。つまり、ゲート酸化膜を熱酸化法により形成することによりMOSゲート構造とができる。この方法では側面の酸化膜を選択的に薄くでき、基板表面、溝底面のフィールド酸化膜は厚くできる。よって、チャネルを形成する部位のみに薄い酸化膜を形成できる。

#### 【0027】

【発明の実施の形態】以下、この発明を具体化した実施の形態を図面に従って説明する。図1に、本実施の形態における溝ゲート型パワーMOSFET（縦型パワーMOSFET）の断面図を示す。

#### 【0028】図2から図8に従って製造工程を説明す

る。まず、図2に示すように、低抵抗半導体層としてのn<sup>+</sup>型単結晶SiC基板1を用意する。このn<sup>+</sup>型単結晶SiC基板1は、六方晶系であり、かつ表面の面方位が略(0001)カーボン面となっている。そして、そのn<sup>+</sup>型単結晶SiC基板1の表面に、高抵抗半導体層としてのn型エピタキシャル層2と第1の半導体層としてのp型エピタキシャル層3とを順に積層する。n型エピタキシャル層2は、キャリア密度が $1 \times 10^{16} \text{ cm}^{-3}$ 程度で、厚さが $10 \mu\text{m}$ 程度である。又、p型エピタキシャル層3は、キャリア密度が $1 \times 10^{17} \text{ cm}^{-3}$ 程度で、厚さが $2 \mu\text{m}$ 程度である。

【0029】このようにして、n<sup>+</sup>型単結晶SiC基板1、n型エピタキシャル層2及びp型エピタキシャル層3とからなる半導体基板4を形成する。続いて、図3に示すように、p型エピタキシャル層3に対しマスク材5を用いてイオン注入法によりp型エピタキシャル層3の表層部の所定領域に半導体領域としてのn<sup>+</sup>ソース領域6を形成する。n<sup>+</sup>ソース領域6は、表面のキャリア濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 程度で、接合深さが $0.5 \mu\text{m}$ 程度である。

【0030】この際、n<sup>+</sup>ソース領域6がイオン注入法にて形成されるので、n<sup>+</sup>ソース領域6をp型エピタキシャル層3の任意箇所に形成することができ、p型エピタキシャル層3(すなわちボディー層)とソース領域6の各表面の面積割合を自由に設計できる。

【0031】次に、図4に示すように、マスク材7、8を用いてドライエッチングにより半導体基板4の表面からn<sup>+</sup>ソース領域6とp型エピタキシャル層3を貫通し、n型エピタキシャル層2に達する溝9を形成する。この溝9は、幅が例えば $2 \mu\text{m}$ で、深さが例えば $2 \mu\text{m}$ である。又、溝9の内壁は側面9aと底面9bとを有している。

【0032】そして、図5に示すように、マスク材7を耐酸化マスクとして使用し、例えば $1100^{\circ}\text{C}$ の熱酸化法により例えば5時間程度の熱酸化を行い、溝9の内壁に熱酸化膜10を形成する。ここで、溝9の側面9aにおいては $100 \text{ nm}$ 程度の酸化膜10aが形成されるとともに、溝9の底面9bにおいては $500 \text{ nm}$ 程度の酸化膜10bが形成される。さらに、熱酸化膜10とマスク材7をエッチング除去する。

【0033】引き続き、図6に示すように、CVD法によるエピタキシャル成長により溝9の内壁とn<sup>+</sup>ソース領域6およびp型エピタキシャル層3の表面に、第2の半導体層としてのエピタキシャル層11を形成する。このエピタキシャル成長により溝9の側面9aには、厚さが例えば $100 \text{ nm}$ 程度のエピタキシャル層11aが、溝9の底面9bには、厚さが例えば $10 \text{ nm}$ 程度のエピタキシャル層11bが、基板表面には厚さが $10 \text{ nm}$ 程度のエピタキシャル層11cが形成される。

【0034】このエピタキシャル層11は任意の不純物

濃度にコントロールされる。より具体的には、SiH<sub>4</sub>ガスとC<sub>x</sub>H<sub>y</sub>とを原料ガスとして流しながらCVD法により炭化珪素を気相成長する際にN<sub>2</sub>ガス(又はトリメチルアルミニウムガス)の供給量を調整することによりエピタキシャル層11の不純物濃度を $10^{15} \sim 10^{17} / \text{cm}^3$ で調整する。この際、不純物濃度を低くすることができます。

【0035】ここで、厚さが異なるエピタキシャル層11が形成されることとは実験的に分かっている。これを図10を示す。図10は溝における側面および底面を含む領域でのFE-SEM像のスケッチを示す。このように炭化珪素のエピタキシャル成長速度の違いにより、溝側面にホモエピタキシャル成長でき、かつ溝側面のエピタキシャル層の厚さを基板表面及び溝底面のエピタキシャル層の厚さに対して10倍以上厚くホモエピタキシャル層を成長できる。よって、エピタキシャル層11がチャネル形成領域となるが、チャネルのドロップ電圧を小さくでき、また歩留りよく形成でき、低損失で歩留りが高い装置を製造できる。

【0036】又、前述したように熱酸化膜10を形成および除去することにより(局所異方性熱酸化法にて相対的に薄い酸化膜10を形成および除去することにより)、溝9の内壁にイオンダメージの無い溝が形成されているので、この溝側面に形成するエピタキシャル層11を高品位に形成でき、このエピタキシャル層11に形成されるMOS界面は良好なものとなり、スイッチング特性に優れた装置を製造することができる。

【0037】次に、図7に示すように、例えば $1100^{\circ}\text{C}$ の異方性熱酸化法により5時間程度の熱酸化を行い、エピタキシャル層11の表面にゲート熱酸化膜12を形成する。この熱酸化により溝9の側面9aに位置するエピタキシャル層11aにおいてはその表面に厚さが $50 \text{ nm}$ 程度の薄いゲート熱酸化膜12aが形成される。又、溝9の底面9bにおけるエピタキシャル層11bは酸化され酸化膜に変化し厚さが $500 \text{ nm}$ 程度の厚いゲート熱酸化膜12bが形成される。さらに、n<sup>+</sup>ソース領域6上およびp型エピタキシャル層3上におけるエピタキシャル層11cは酸化膜に変化し厚さが $500 \text{ nm}$ 程度の厚いゲート熱酸化膜12cが形成される。

【0038】ここで、厚さが異なる熱酸化膜12が形成されることとは実験的に分かっている。つまり、図9に示すように、(0001)カーボン面と角度θをなす斜面とを有する炭化珪素を用いて熱酸化膜の厚さを測定した。その結果、(0001)カーボン面に比べ、 $\theta = 90^{\circ}$ である面((112バー0)面)において膜厚が薄くなる。この異方酸化工程によりエピタキシャル層11の除去を最小限に抑えて、基板表面と溝底面の不必要的エピタキシャル層11を取り除くことが可能となる。よって、一度の熱酸化にて簡便かつ歩留りよく溝側面だけにエピタキシャル層11を形成することができ、安価

に歩留まりよく製造することができる。

【0039】続いて、図8に示すように、溝9内を、ゲート電極膜としての第1ポリシリコン膜13a及び第2ポリシリコン膜13bにより順次埋め戻す。その結果、溝9内におけるゲート熱酸化膜12の内側に第1および第2ポリシリコン膜13a, 13bが配置される。ここで、第1および第2ポリシリコン膜13a, 13bはn+ソース領域6上のゲート熱酸化膜12c上に形成されてもよい。

【0040】かかる後、図1に示すように、第1及び第2ポリシリコン膜13a, 13b上を含めたゲート熱酸化膜12c上に、CVD法により層間絶縁層14を形成し、ソースコントラクト予定位置のn+ソース領域6とp型エピタキシャル層3の表面上にあるゲート熱酸化膜12cと層間絶縁層14とを除去する。その後、n+ソース領域6とp型エピタキシャル層3及び層間絶縁層14上に第1の電極としてのソース電極膜15を形成するとともに、半導体基板4の裏面(n+型単結晶SiC基板1の表面)に第2の電極としてのドレイン電極膜16を形成し、パワーMOSFETを完成する。

【0041】このように、本実施の形態では、炭化珪素よりもなる半導体基板4を用いてチャネルを形成するエピタキシャル層11の不純物濃度をソース・ドレイン間耐圧を設計するのに必要なn型エピタキシャル層2とp型エピタキシャル層3の不純物濃度とは独立に任意に設計することができるのでチャネル移動度の不純物散乱を抑えることでチャネル部でのドロップ電圧を小さくし、かつ低い閾電圧の高耐圧低損失パワーMOSFETを製造することができる。

【0042】又、溝9内にエピタキシャル層11が形成されるので、このエピタキシャル層11においてはイオンダメージの無い半導体層が配置できる。よって、チャネル形成面にイオンダメージや凹凸を低減することでMOS界面特性が改善されスイッチング特性に優れた炭化珪素半導体装置が製造できる。

【0043】又、半導体基板4を構成する炭化珪素が六方晶系であり、かつ表面の面方位が略(0001)カーボン面であるので、その他の面に対して化学反応性の高い面を表面とでき、プロセス温度を下げ、プロセス時間を短くできる。よって、安価なるデバイスとすることができる。

【0044】又、チャネルを形成する第2の半導体層(エピタキシャル層11)をエピタキシャル成長にて形成したので、溝9の側面に一様に第2の半導体層(エピタキシャル層11)を高品位に形成できる。この方法により得られた第2の半導体層(エピタキシャル層11)は移動度がその他の層の不純物の影響を受けず移動度が大きいという特長を有し、このエピタキシャル層11に形成したチャネルでのドロップ電圧を小さくでき、低損失に製造することができる。さらに、異方性エピタキシ

ャル成長により低不純物濃度で形成したので、チャネルの移動度が大きいチャネルを形成することができ、チャネル部でのドロップ電圧を小さくできる。このように、炭化珪素よりもなる高耐圧低損失パワーMOSFETをより低損失に歩留まりよく製造することができる。

【0045】又、ドライエッチングにより溝9が形成されるので、溝9を微細に深く、垂直に近く形成でき、溝9の側面9aに形成されるエピタキシャル層11の表面積を増やすことで単位面積当たりのチャネル幅の総計を大きくできチャネル部でのドロップ電圧を小さくすることができ、より低損失化した装置を製造することができる。

【0046】又、ゲート電極膜はポリシリコン膜よりもなるので、溝内壁に歩留まりよくゲート電極膜を形成でき、高耐圧低損失の装置を歩留まり良く製造できる。

尚、本実施例では、六方晶系炭化珪素についてのみ説明したが、他の結晶系(例えば立方晶系)の炭化珪素についても同じ効果が得られる。

【0047】又、p/n/n+構造の基板についてのみ説明したが、半導体型のnとpを入れ換えた構造でも同じ効果が得られることは言うまでもない。さらに、図7に示すように、エピタキシャル層11を形成した後に、熱酸化膜11を形成して溝9の側面にのみエピタキシャル層11を残すとともに、溝9の内壁における底面9bに比べ側面9aが薄いゲート酸化膜を配置したが、エピタキシャル層11を形成した後に、熱酸化膜を形成し、溝9の側面にのみエピタキシャル層11を残した後にこの酸化膜を除去する第1の熱酸化膜形成工程と、その後において、熱酸化膜を形成し、溝9の内壁における底面9bに比べ側面9aが薄いゲート酸化膜を形成する第2の熱酸化膜形成工程としてもよい。この第1の熱酸化膜形成工程においては基板表面の不必要的第2の半導体層を1回の酸化にて除去できる。又、第2の熱酸化膜形成工程においては、異方性熱酸化法により側面の酸化膜を選択的に薄くでき、基板表面、溝底面のフィールド酸化膜は厚くでき、チャネルを形成する部位のみに薄い酸化膜を形成できる。

【0048】又、n+ソース領域6はイオン注入によらずに、p型エピタキシャル層3の形成の際において成長途中から不純物を含んだガスを供給することによりp型エピタキシャル層3の表面にn+ソース領域6を形成してもよい。このようにすると、厚いソース領域が形成することができ、また低抵抗なソース領域をエピタキシャル成長法により形成することができるのでソース領域でのドロップ電圧を小さくすることができ、より低損失化した装置を製造することができる。

【0049】又、ソース電極膜15は、少なくともn+ソース領域6の表面に形成されていればよい。又、溝9の形状は、U字状の他にもV字状であってもよい。

【0050】尚、本発明において(0001)カーボン

11

面は、結晶学的にみて対称な面である(0001面)カーボン面を含むものである。

## 【0051】

【発明の効果】以上詳述したように、請求項1に記載の発明によれば、高耐圧、低オシロ抵抗でかつ閾値電圧を小さくでき、さらに、チャネル形成面にイオンダメージや凹凸を低減することでMOS界面特性を改善しスイッチング特性に優れた炭化珪素半導体装置の製造方法を提供することができる優れた効果を發揮する。

【0052】請求項2に記載の発明によれば、請求項1に記載の発明の効果に加え、プロセス温度を下げたりプロセス時間を短くでき、安価に製造することができる。請求項3に記載の発明によれば、請求項1又は2に記載の発明の効果に加え、一度の熱酸化にて簡便かつ歩留まりよく溝側面だけに第2の半導体層を形成でき、安価に歩留まりよく製造することができる。

【0053】請求項4に記載の発明によれば、請求項1～3のいずれか1項に記載の発明の効果に加え、第2の半導体層に形成したチャネル部でのドロップ電圧を小さくでき、低損失に製造することができる。

【0054】請求項5に記載の発明によれば、請求項1～4のいずれか1項に記載の発明の効果に加え、ソース領域でのドロップ電圧を小さくすることができ、より低損失化した装置を製造することができる。

【0055】請求項6に記載の発明によれば、請求項1～4のいずれか1項に記載の発明の効果に加え、MOS界面が良好なものとなり、スイッチング特性に優れた装置を製造することができる。

【0056】請求項7に記載の発明によれば、請求項1～4のいずれか1項に記載の発明の効果に加え、MOS界面が良好なものとなり、スイッチング特性に優れた装置を製造することができる。

【0057】請求項8に記載の発明によれば、請求項1～4のいずれか1項に記載の発明の効果に加え、チャネル部でのドロップ電圧を小さくでき、また歩留まりよく形成することができ、これにより低損失で歩留まりが高い装置を製造できる。

【0058】請求項9に記載の発明によれば、請求項1～

\*～4のいずれか1項に記載の発明の効果に加え、ソース・ドレン間耐圧が高く、スイッチング速度の速い装置を製造できる。

## 【図面の簡単な説明】

【図1】発明の実施の形態における炭化珪素半導体装置及び製造工程を説明するための断面構造図。

【図2】図1に示す炭化珪素半導体装置の製造工程を説明するための断面構造図。

【図3】図1に示す炭化珪素半導体装置の製造工程を説明するための断面構造図。

【図4】図1に示す炭化珪素半導体装置の製造工程を説明するための断面構造図。

【図5】図1に示す炭化珪素半導体装置の製造工程を説明するための断面構造図。

【図6】図1に示す炭化珪素半導体装置の製造工程を説明するための断面構造図。

【図7】図1に示す炭化珪素半導体装置の製造工程を説明するための断面構造図。

【図8】図1に示す炭化珪素半導体装置の製造工程を説明するための断面構造図。

【図9】炭化珪素半導体材料の熱酸化の異方性を説明するための図。

【図10】炭化珪素半導体材料のエピタキシャル成長の異方性を説明するためのスケッチ図。

【図11】従来技術の炭化珪素半導体装置を説明するための断面構造図。

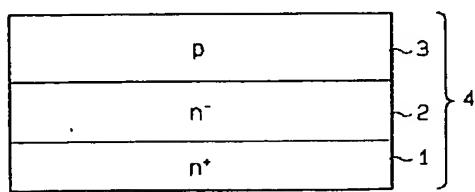
## 【符号の説明】

1…低抵抗半導体層としてのn<sup>+</sup>型単結晶SiC基板、

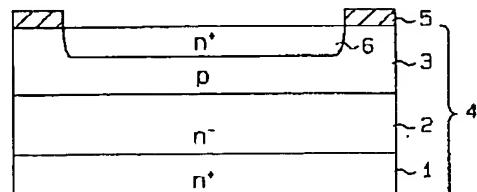
2…高抵抗半導体層としてのn型エピタキシャル層、3

3…第1の半導体層としてのp型エピタキシャル層、4…半導体基板、6…半導体領域としてのn<sup>+</sup>ソース領域、9…溝、9a…側面、9b…底面、10…熱酸化膜、11…第2の半導体層としてのエピタキシャル層、12…ゲート熱酸化膜、13a…ゲート電極膜としての第1ポリシリコン層、14…層間絶縁層、15…第1の電極としてのソース電極膜、16…第2の電極としてのドレイン電極膜

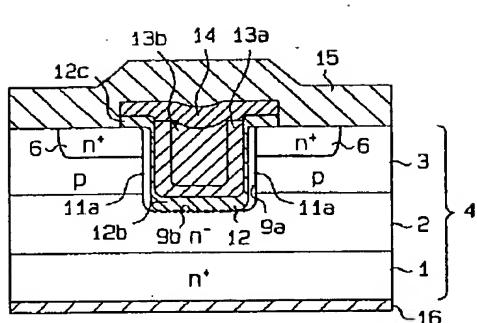
【図2】



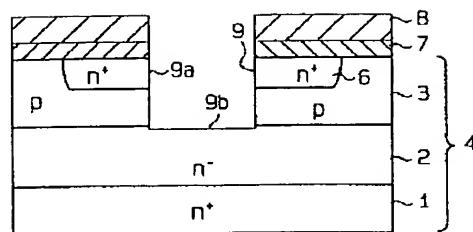
【図3】



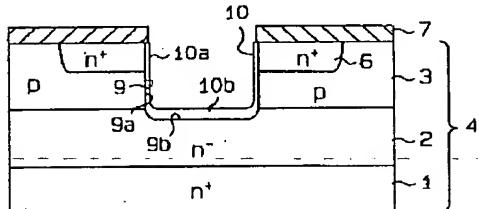
【図1】



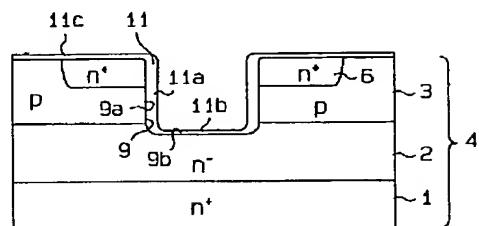
【図4】



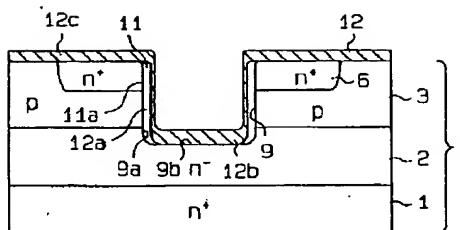
【図5】



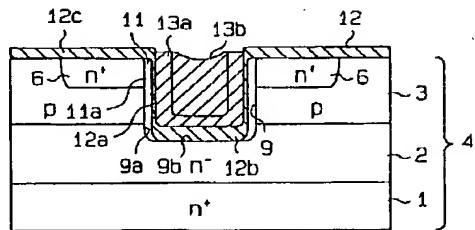
【図6】



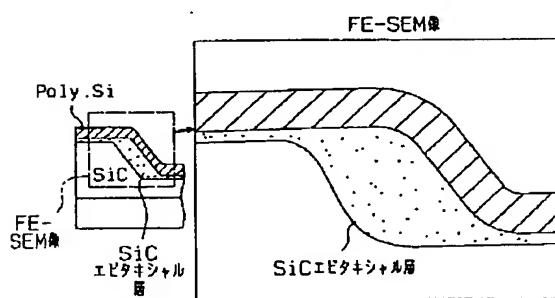
【図7】



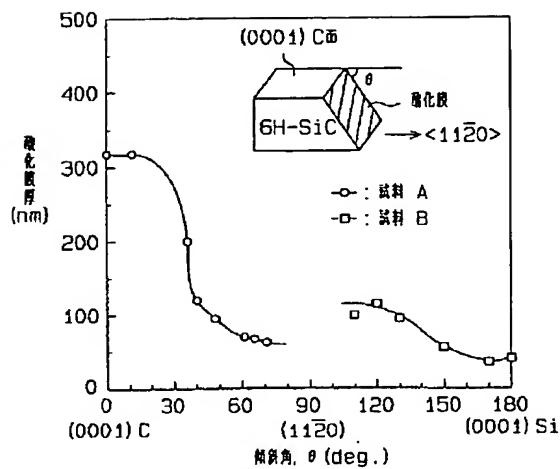
【図8】



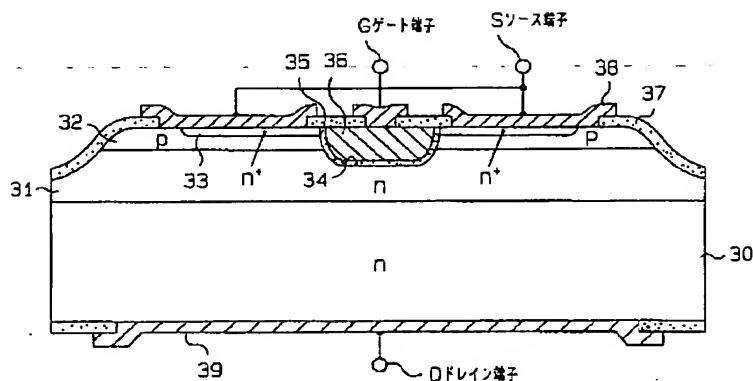
【図10】



【図9】



【図11】



フロントページの続き

(72)発明者 宮嶋 健  
愛知県刈谷市昭和町1丁目1番地 日本電  
装 株式会社内

(72)発明者 戸倉 規仁  
愛知県刈谷市昭和町1丁目1番地 日本電  
装 株式会社内  
(72)発明者 夫馬 弘雄  
愛知県愛知郡長久手町大字長湫字横道41番  
地の1 株式会社豊田中央研究所内